

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-154082

(43)Date of publication of application : 11.06.1996

(51)Int.Cl.

H04J 3/06

H04J 14/08

(21)Application number : 06-294853

(71)Applicant : NEC CORP

(22)Date of filing : 29.11.1994

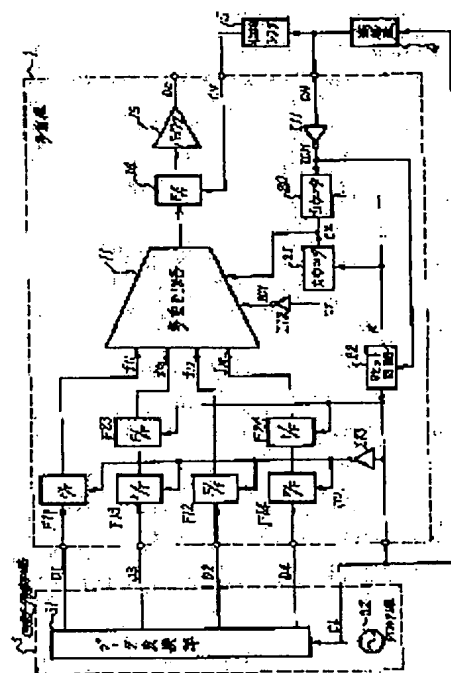
(72)Inventor : KAKIGI AKIRA  
OKAMURA TOSHIYUKI

## (54) MULTIPLEXING CIRCUIT

## (57)Abstract:

PURPOSE: To embody a phase synchronization by a simple circuit for which a PLL is not used by resetting a high speed clock (CH) that a low speed clock (CL) is multiplied by a specified value by the pulse generated in the CL/CH, successively frequency dividing to the specified value and generating clocks X and Y.

CONSTITUTION: The low speed clock (CL) generated in a clock source 32 and the high speed clock (CH) that 4-multiplications are performed by a multiplier 4 is inverted by an inverter I11 and a clock (ICH) is outputted. A reset circuit 22 inputs the CL and ICL and outputs a reset pulse R, and counters 20 and 21 perform the reset/frequency division operations by the H/L of the pulse R and output clocks (CX/CY). As for these CL, CX and CY, the phase difference is always constant and becomes a phase synchronizing stage. A multiplexing circuit 11 multiplexes data f11 to f14 by the ICY and CX by an inverter 112. Thus, a PLL circuit for which an expensive VCO is used becomes unnecessary, portions to be adjusted is reduced and cost price can be reduced.



## LEGAL STATUS

[Date of request for examination] 29.11.1994

[Date of sending the examiner's decision of rejection] 22.07.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-154082

(43) 公開日 平成8年(1996)6月11日

(51) Int.Cl.<sup>6</sup>

識別記号

片内整理番号

F I

技術表示箇所

H 0 4 J 3/06  
14/08

Z

H 0 4 B 9/ 00

D

審査請求 有 請求項の数4 O L (全 9 頁)

(21) 出願番号 特願平6-294853

(22) 出願日 平成6年(1994)11月29日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 柿木 彰

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 岡村 敏之

東京都港区芝五丁目7番1号 日本電気株式会社内

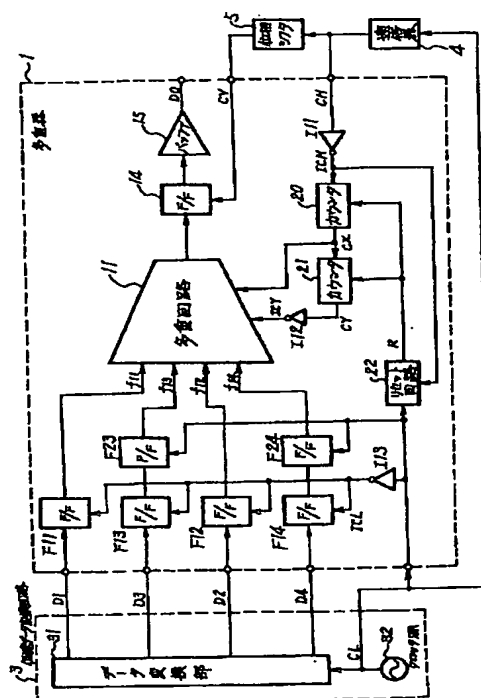
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 多重化回路

(57) 【要約】

【目的】 光通信における端局多重化装置の主要構成回路であるN/1多重器のクロックの位相同期をPLLを用いない簡易な回路で行う。

【構成】 低速クロックCLを4逓倍して高速クロックCHを発生する逓倍器4と、リセットパルスRによりリセットされクロックCHを順次2分周し各々クロックCX、CYを生成する縦続接続されたカウンタ20、21と、クロックCLの立上がり以後のクロックCHの立上がりに同期してリセットパルスRを発生するリセット回路22とを備える。



## 【特許請求の範囲】

【請求項1】 予め定めた周期の第1のクロックを発生するクロック源と、前記第1のクロックに同期して2のN乗チャンネルの低速データを供給する低速データ変換回路と、前記第1のクロックに同期して各々の前記低速データをラッチする2のN乗個のデータラッチ手段と、前記第1のクロックと同一周波数の第2のクロックおよび前記第1のクロックの2の1乗～2のN乗倍の各々の周波数のクロック信号から成るN-1個の第3のクロックを用いて2のN乗個の前記データラッチ手段の各々の出力データを並直列変換し2のN乗：1の多重化を行なう2のN乗：1多重化手段とを備え、並列に供給される前記2のN乗チャンネルの低速データを1チャンネルの直列の高速データに並直列変換して2のN乗：1の多重化を行なう多重化回路において、

前記第1のクロックを2のN乗逡倍して第4のクロックを発生する逡倍手段を備え、

前記2のN乗：1多重化手段がリセットパルスによりリセットされ前記第4のクロックを順次2分周し各々前記第3のクロックの各々および前記第2のクロックを生成する縦続接続されたN段の2分周回路と、前記第1のクロックの立上がり以後の前記第4のクロックの立上がりに同期して予め定めたパルス幅の前記リセットパルスを発生するリセット手段とを備えることを特徴とする多重化回路。

【請求項2】 前記Nが2であり、前記第1のクロックに同期して各々の前記低速データをラッチする4個のデータラッチ手段と、前記第1のクロックと同一周波数の第2のクロックおよび前記第1のクロックの2倍および4倍の周波数の各々のクロック信号から成る第3のクロックを用いて各々予め定めた4個の前記データラッチ手段の出力データを並直列変換し4：1の多重化を行なう4：1多重化手段とを備える多重化回路において、

前記第1のクロックを4逡倍して第4のクロックを発生する逡倍手段を備え、

前記4：1多重化手段が、リセットパルスによりリセットされ前記第4のクロックを順次2分周し各々前記第3のクロックの各々および前記第2のクロックを生成する縦続接続された2段の分周回路を備えることを特徴とする請求項1記載の多重化回路。

【請求項3】 前記リセット手段が、データ入力端子に前記第1のクロックがクロック入力端子に前記第4のクロックがそれぞれ供給された第1のフリップフロップと、

データ入力端子に前記第1のフリップフロップの正相出力がクロック入力端子に前記第4のクロックがそれぞれ供給された第2のフリップフロップと、

前記第2のフリップフロップの出力と前記第1のフリップフロップの逆相出力との否定論理積演算を行なう論理回路とを備えることを特徴とする請求項1記載の多重化

回路。

【請求項4】 前記リセット手段が、前記第1のクロックでトリガされ容量値および抵抗値で決る時定数によりリセット時間を制御する単安定マルチバイブレータを備えることを特徴とする請求項1記載の多重化回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は多重化回路に関し、特に光通信端局の多重化回路に関する。

【0002】

【従来の技術】 光ファイバを伝送媒体とする光ファイバ伝送方式（以下光通信）は、その広帯域性に基く本質的な高速性および大容量性と、光ファイバや光素子技術の進歩により、近年、益々発展しつつある。光通信は、大容量のデータを扱うので、比較的低速のデータを複数、例えば8チャンネル分多重化して1多重化チャンネルとしてデータを伝送することが一般的である。したがって、光通信端局における端局装置は、上記複数（N）チャンネルのデータを多重化して1多重化チャンネルのデータを生成するN/1多重化器を基本的な構成要素としている。このN/1多重化器は、基本的には並直列変換回路であり、Nチャンネルの低速データに対する1多重化チャンネルの高速データはビットレートでN倍であり、同様に、上記低速データ対応の低速クロックに対する上記高速データ対応の高速クロックの周波数もN倍となる関係がある。

【0003】 外部から入力するこれらNチャンネルの低速データは上記多重化器内部における多重化処理用の高速/低速クロックに対して非同期である。両者間の同期のため、従来は、例えば、1992年に米国で発行された「アイ・イー・イー・イー1992年カスタム集積回路コンファレンス（IEEE CUSTOM INTEGRATED CIRCUITS CONFERENCE）第29.4.1～29.4.4頁所載の論文「10Gb/S シリコン・バイポーラ・8：1・マルチプレクサ・アンド・1：8・デマルチプレクサ（10Gb/S Silicon Bipolar Multiplexer and Demultiplexer）」に記載されているように、上記高速クロックを分周した多重化処理用低速クロックの位相を可変位相シフタにより調整してデータの位相同期用の低速クロックである位相同期クロックを生成し、この位相同期クロックを用いて上記低速データの位相同期を行なっていた。

【0004】 従来のこの種の多重化回路の構成をブロックで示す図5を参照すると、この図に示す従来の多重化回路は4チャンネルの低速データD1～D4を多重化し1チャンネルの多重化データDOを生成する4：1の多重化器6と、端局装置の下位の通信装置から供給される通信データを光伝送用の4チャンネルの低速データD1～D4に変換する低速データ変換回路3と、低速データ変換回

路3から供給される低速クロックCLの位相を基準として多重化器6から供給される位相シフト4分周クロックCOの位相同期をとり高速クロックCHを出力する位相ロックループ(PLL)7と、高速クロックCHの位相を調整し位相シフト高速クロックCVを出力する位相シフタ5とを備える。

【0005】多重化器6は低速データD1~D4をそれぞれラッチするフリップフロップF11~F14と、4チャンネル分のフリップフロップF11~F14の各々の出力データf11~f14を多重化した4チャンネルの多重化データDPを出力する多重回路11と、多重化データDPをラッチし位相シフト高速クロックCVによりリタイミングするフリップフロップ14と、フリップフロップ14の出力の供給を受け多重化データDOを出力するバッファ15と、高速クロックCHの供給にตอบสนองして2分周クロックCXを、2分周クロックCXを2分周し4分周クロックCYをそれぞれ出力するカウンタ16、17と、4分周クロックCYの供給を受け180°位相シフト(反転)する位相シフタ24と、位相シフタ24の出力の供給を受け反転4分周クロックCOを出力するバッファ25とを備える。

【0006】低速データ変換回路3は上記通信データを低速データD1~D4に変換するデータ変換部31と、低速クロックCLを発生するクロック源32とを備える。

【0007】多重回路11の構成を示す図7を参照すると、多重回路11はクロックCYを用いて各々2チャンネル分の入力データを並直列変換し1チャンネルに多重化する2つの2:1の多重回路111、112と、クロックCXを用いて多重回路111、112の出力をさらに1チャンネルに多重化し多重化データDPを出力する2:1の多重回路113とを備える。多重回路111は信号f11、f13の供給を受けデータk13を出力し、多重回路112はデータf12、f14の供給を受けデータk24を出力する。同様に、多重回路113はデータk13、k24の供給に応じてデータDPを出力する。

【0008】PLL7の構成を示す図7を参照すると、このPLL7は低速クロックCLと反転4分周クロックCOとの位相比較をし誤差信号を出力する位相比較器71と、この誤差信号の供給を受け平滑化して直流の誤差電圧に変換する低域フィルタ72と、上記誤差電圧により周波数が制御される高速クロックCHを出力する電圧制御発振器(VCO)73とを備える。

【0009】次に、図5、図6、および図7を参照して従来の多重化回路の動作について説明すると、低速データ変換回路3は、端局装置の下位の通信装置から供給される通信データをクロックCLに同期した低速データD1~D8に変換し、多重器6に供給する。一方、PLL7は位相比較器71でクロックCLを基準として反転4分周クロックCOの位相比較をしその比較結果の誤差信

号を低域フィルタ72で平滑化した誤差電圧によりVCO73を制御し、低速クロックCLと同期した4倍の周波数の高速クロックCHを出力する。クロックCOはクロックCHを4分周したものであるから、クロックCLとクロックCOとは位相同期がとれた状態で安定化する。なお、この同期用としてクロックCZを180°位相シフトした反転4分周クロックCOを用いる理由は、各フリップフロップF11~F14に入力する低速データD1~D4とラッチ用のクロックCYとの位相関係を最適化するためである。

【0010】クロックCL、COの同期状態におけるタイムチャートを示す図8を併せて参照すると、低速データD1~D4のクロス点と低速クロックCLの立上がりとは同一となる位相(同相)で出力され、同時に、クロックCOが同相の同一周波数で、クロックCH、CXはそれぞれ同相の4倍、2倍の周波数で、クロックCYは逆相の同一周波数でそれぞれ出力される。

【0011】多重器6の並直列変換動作のタイムチャートを示す図9を併せて参照すると、低速データD1、D3はフリップフロップF11、F13にて4分周クロックCYによりそれぞれラッチされデータf11、f13として保持される。多重回路111はデータf11、f13の供給を受けクロックCYの“H”レベルの間データf11を、“L”レベルの間データf13をそれぞれ出力するデータk13を生ずる。同様に多重回路112はデータf12、f14の供給を受けクロックCYの“H”レベルの間データf12を、“L”レベルの間データf14をそれぞれ出力するデータk24を生ずる。次に、多重回路113はこれらデータk13、k24の供給を受け、クロックCXにより同様の並直列変換を行ないデータDPを出力する。このデータDPは、低速データD1~D4を4:1の並直列変換した高速データである。フリップフロップ14はこのデータDPをラッチし、クロックCHを位相シフタ5により位相調整して生成したクロックCVによりタイミング調整を行い、バッファ15を経由してデータDOとして出力する。

【0012】

【発明が解決しようとする課題】上述した従来の多重化回路は、4:1多重回路内で4つの低速データ同期用の低速クロックと高速クロックを4分周して生成する4分周クロックとの同期をPLLを用いて行っているが、PLLの主要構成要素であるVCOが高価であり、また、高周波帯ではモノリシック化が困難であるという欠点があった。さらに、上記4分周クロックの位相調整が必要であるという欠点があった。

【0013】

【課題を解決するための手段】本発明の多重化回路は、予め定めた周期の第1のクロックを発生するクロック源と、前記第1のクロックに同期して2のN乗チャンネルの低速データを供給する低速データ変換回路と、前記第1

のクロックに同期して各々の前記低速データをラッチする2のN乗個のデータラッチ手段と、前記第1のクロックと同一周波数の第2のクロックおよび前記第1のクロックの2の1乗～2のN乗倍の各々の周波数のクロック信号から成るN-1個の第3のクロックを用いて2のN乗個の前記データラッチ手段の各々の出力データを並直列変換し2のN乗:1の多重化を行なう2のN乗:1多重化手段とを備え、並列に供給される前記2のN乗チャンネルの低速データを1チャンネルの直列の高速データに並直列変換して2のN乗:1の多重化を行なう多重化回路において、前記第1のクロックを2のN乗通倍して第4のクロックを発生する通倍手段を備え、前記2のN乗:1多重化手段がリセットパルスによりリセットされ前記第4のクロックを順次2分周し各々前記第3のクロックの各々および前記第2のクロックを生成する縦続接続されたN段の2分周回路と、前記第1のクロックの立上がり以後の前記第4のクロックの立上がりに同期して予め定めたパルス幅の前記リセットパルスを発生するリセット手段とを備えて構成されている。

【0014】

【実施例】次に、本発明の実施例を図5と共通の構成要素には共通の参照文字/数字を付して同様にブロックで示す図1を参照すると、この図に示す本実施例の多重化回路は、従来の多重器6に代り同様に4チャンネルの低速データD1～D4を多重化し1チャンネルの多重化データDOを生成する4:1の多重器1と、従来と同様の低速データ変換回路3と、位相シフタ5とに加えて、低速クロックCLを4通倍し高速クロックCHを発生する通倍器4とを備える。

【0015】多重器1は、従来の多重器6と同様のフリップフロップF11～F14と、多重回路11と、フリップフロップ14と、バッファ15とに加えて、フリップフロップF13、F14の各々のデータをクロックCLで再度ラッチしデータf13、f14をそれぞれ出力するフリップフロップF23、F24と、従来のカウンタ16、17の代りにリセット信号Rによりリセットされ高速クロックCHの供給にตอบสนองして2分周クロックCXを、クロックCXを2分周し4分周クロックCYをそれぞれ出力するカウンタ20、21と、クロックCL、CHの供給にตอบสนองしてリセットパルスRをカウンタ20、21に供給するリセット回路23と、クロックCHを反転しクロックICHを、クロックCYを反転しクロックICYを、クロックCLを反転しクロックICLをそれぞれ出力するインバータI11、I12、I13とを備える。

【0016】通倍器4は図2に示す2通倍器を2段縦続接続して4通倍器を構成する。図2を参照すると、上記2通倍器は供給されたクロックCLの高周波成分を除去する低域フィルタ41と、低域フィルタ41の出力を全波整流する全波整流回路42と、全波整流回路42の出

力を正相入力に基準電圧VRが逆相入力にそれぞれ供給されるコンパレータ43とを備える。

【0017】図3を参照すると、リセット回路22はデータ端子DにクロックCLがクロック端子CにクロックICHがそれぞれ供給され出力端子Q、バーQからそれぞれ信号s、tが出力されるフリップフロップ221と、データ端子Dに信号sがクロック端子CにクロックICHがそれぞれ供給され出力端子Qから信号uが出力されるフリップフロップ222と、信号t、sの否定論理積演算を行ないリセットパルスRを出力するNANDゲート223とを備える。

【0018】次に、図1、図2および図3を参照して本実施例の多重化回路の動作について説明すると、クロック源32からの低速クロックCLは従来例と同様にデータ変換部31に供給されるとともに、多重器1のリセット回路22とインバータI13、および通倍器4にそれぞれ供給される。上述のように、2通倍器の2段縦続接続から成る通倍器4はクロックCLを4通倍し、高速クロックCHを発生する。上記2通倍器は低域フィルタ41を経由した入力信号を全波整流回路42で全波整流し、この入力信号の振幅波形の負電位側を正電位側に折返すことによりこの波形のピークの数が増え2倍となる全波整流信号をコンパレータ43に供給する。コンパレータ43は、この全波整流信号のレベルを基準電圧VRをしきい値として“H”、“L”を判定し、上記入力信号の2倍の周波数の出力信号を発生する。クロックCHはインバータI11と位相シフタ5とに供給される。クロックCHをインバータI11で反転したクロックICHはカウンタ20とリセット回路22とに供給される。

【0019】多重器1の入力データD1～D4とクロックCL、ICH、CX、CY、ICY、リセットパルスR、信号s、t、uの各々の位相関係を示すタイムチャートである図4を併せて参照すると、低速データD1～D4は各々のクロス点と低速クロックCLの立上がりとが同一となる位相（同相）で出力される。リセット回路22のフリップフロップ221はクロックCL、ICHの供給にตอบสนองしクロックICHの立上がりにおいて互いに逆相の信号s、tを出力する。また、信号sとクロックICHの供給にตอบสนองしフリップフロップ222は信号uを出力し、NANDゲート223はこれら信号t、uの否定論理積出力であるリセットパルスRを出力する。このリセットパルスRの“H”レベルの間カウンタ20、21がリセット状態となり、それぞれからのクロックCX、CYが“L”レベルに固定される。リセットパルスRが“L”レベルとなるとリセット解除状態となり、カウンタ20、21が分周動作を再開し、クロックCX、CYの供給が開始される。リセットパルスRは、クロックCLの立上がり後のクロックICHの立上がりの位相で生じるため、クロックCLとクロックCX、CYとの位相差αは常に一定の値となり、したがって、これらク

ロックCLとクロックCX、CYとは位相同期状態となる。

【0020】一方、本実施例の多重器1の一般的な動作は従来の多重器6と同様であり、後述の本発明に直接関連するもの以外は冗長とならないよう説明を省略する。

【0021】多重回路11の多重回路111、112に供給されるクロックICYのデータf11～f14のクロス点との位相差 $\alpha$ により、クロックCLの“L”レベルの間に供給されるデータf13、f14にデータの変化点が含まれないように、フリップフロップF23、F24はクロックCLの“H”レベルの間に供給されるデータf11、f12に対してクロックCLの半周期分遅延させる。

【0022】以上、本発明の実施例を説明したが、本発明は上記実施例に限られることなく種々の変形が可能である。例えば、リセット回路の2つのフリップフロップの代りに、低速クロックでトリガされるモノステブルマルチバイブレータを用い、容量値および抵抗値で決る時定数によりリセット時間を制御することも、本発明の主旨を逸脱しない限り適用できることは勿論である。

【0023】

【発明の効果】以上説明したように、本発明の多重化回路は、低速クロックを2のN乗逡倍して高速クロックを発生する逡倍手段を備え、2のN乗：1多重化手段がリセットパルスによりリセットされ上記高速クロックを順次2分周し第3のクロックの各々および第2のクロックを生成する縦続接続されたN個の2分周回路と、上記低速クロックの立上がり以後の上記高速クロックの立上がりに同期した上記リセットパルスを発生するリセット手段とを備えるので、高価なVCOを用いる位相同期用のPLL回路は不要となりモノリシック化も容易となるという効果がある。さらに、従来必要であった上記2のN乗：1多重化手段の位相調整箇所が削減できるという効果がある。

【図面の簡単な説明】

【図1】本発明の多重化回路の一実施例を示すブロック\*

\*図である。

【図2】図1の逡倍回路の構成を示すブロック図である。

【図3】図1のリセット回路の構成を示すブロック図である。

【図4】本実施例の多重化回路におけるクロックの位相関係を示すタイムチャートである。

【図5】従来の多重化回路の一例を示すブロック図である。

【図6】多重回路の構成を示すブロック図である。

【図7】図5のPLLの構成を示すブロック図である。

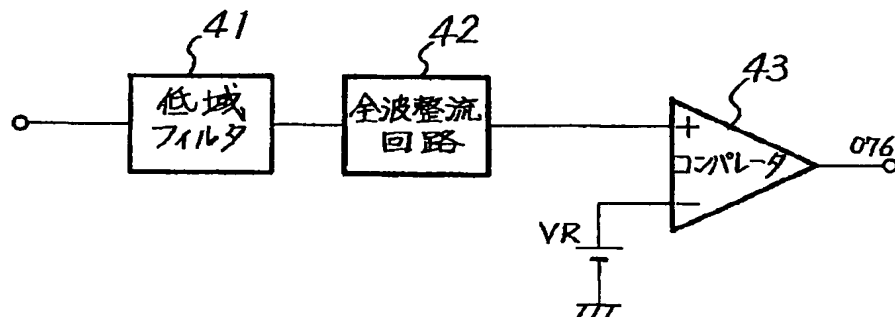
【図8】従来の多重化回路におけるクロックの位相関係を示すタイムチャートである。

【図9】従来の多重化回路における動作の一例を示すタイムチャートである。

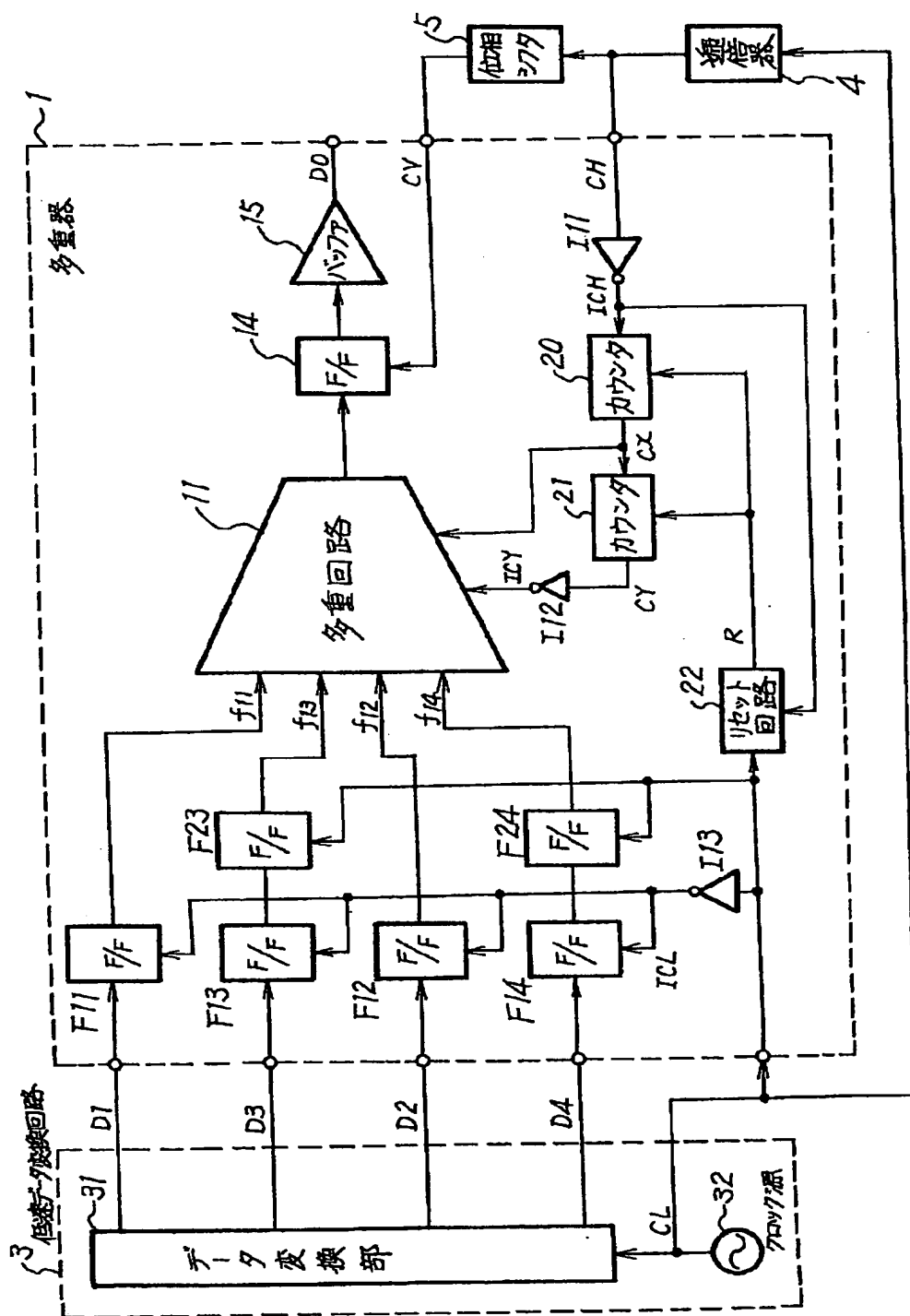
【符号の説明】

- 1, 6 多重器
- 3 低速データ変換回路
- 4 逡倍器
- 5, 24 位相シフタ
- 7 PLL
- 11, 111, 112, 113 多重回路
- 14, 221, 222, F11～F14, F23, F24 フリップフロップ
- 15, 25 バッファ
- 16～18, 20, 21 カウンタ
- 22 リセット回路
- 31 データ変換部
- 32 クロック源
- 41, 72 低域フィルタ
- 42 全波整流回路
- 43 コンパレータ
- 71 位相比較器
- 73 VCO
- 223 NANDゲート
- 111～113 インバータ

【図2】



【図1】





【圖4】

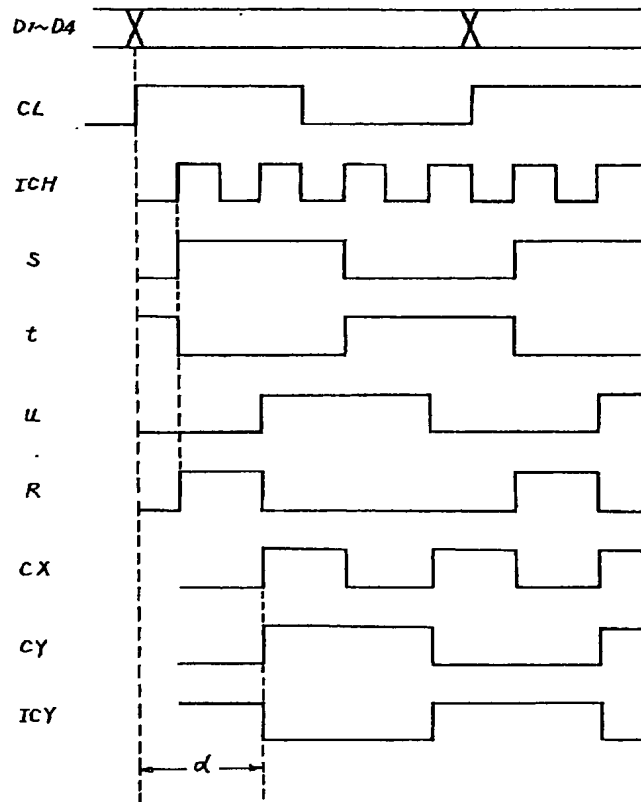
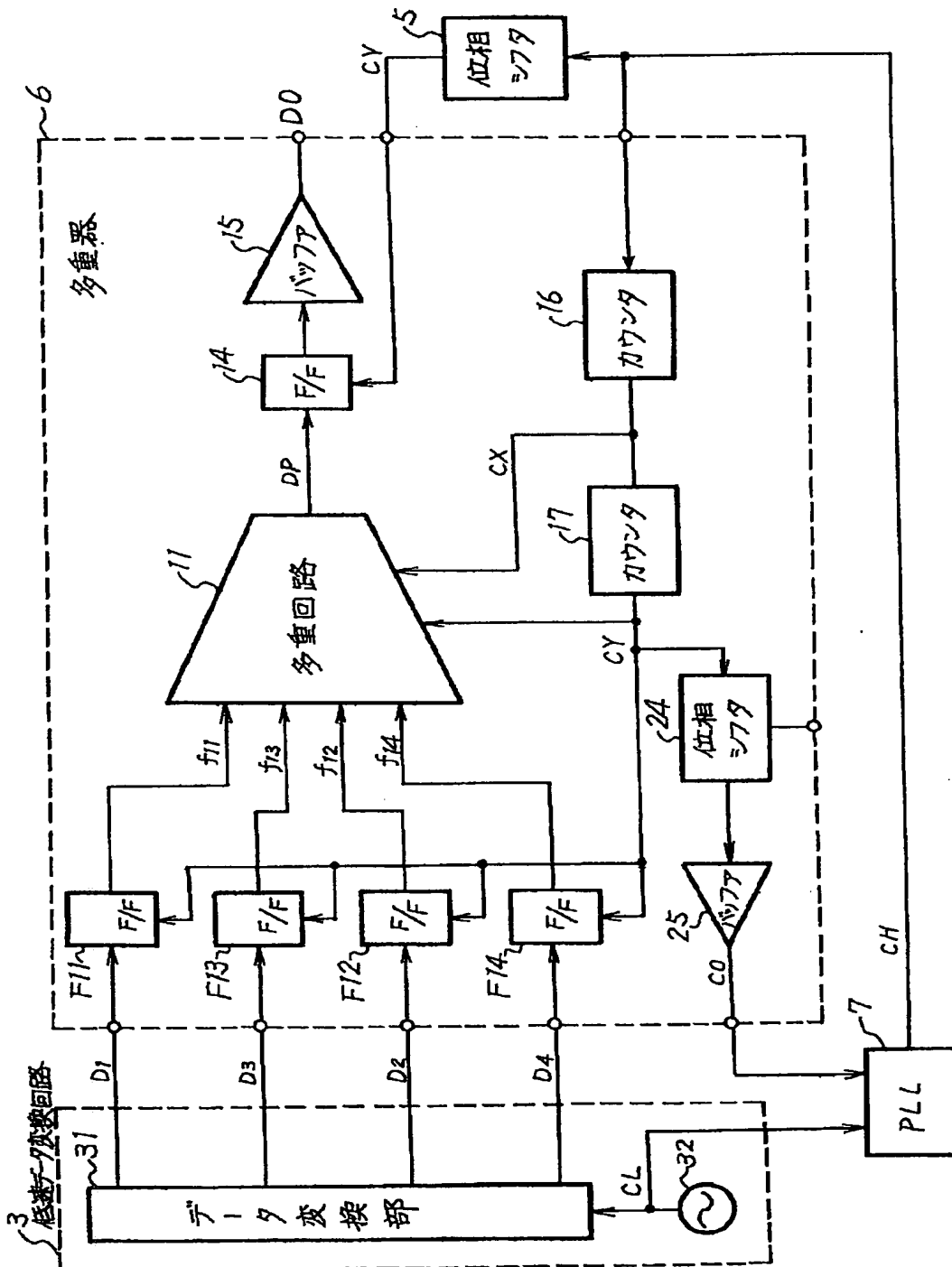


Figure 1 is a schematic diagram of the control logic for the 111~113 multi-loop circuit. It consists of three comparators, labeled 111, 112, and 113. Comparator 111 has two inputs,  $f_{11}$  and  $f_{13}$ , and one output,  $E_{13}$ . Comparator 112 has two inputs,  $f_{12}$  and  $f_{14}$ , and one output,  $E_{24}$ . Comparator 113 has two inputs,  $E_{13}$  and  $E_{24}$ , and one output,  $DP$ . There are also two control signals,  $CY$  and  $CX$ , which are connected to the comparators.  $CY$  is connected to the inputs of comparators 111 and 112.  $CX$  is connected to the input of comparator 113. The text "111~113:多回路" is written above the comparators.

【図5】



【図9】

